

10 nm이하 비대칭 이중게이트 MOSFET의 하단 게이트 전압에 따른 터널링 전류 분석

정학기*

Analysis of Tunneling Current for Bottom Gate Voltage of Sub-10 nm Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 10 nm이하 채널길이를 갖는 비대칭 이중게이트 MOSFET의 하단 게이트 전압에 대한 터널링 전류(tunneling current)의 변화에 대하여 분석하고자한다. 단채널 효과를 감소시키기 위하여 개발된 다중게이트 MOSFET중에 비대칭 이중게이트 MOSFET는 채널전류를 제어할 수 있는 요소가 대칭형의 경우보다 증가하는 장점을 지니고 있다. 그러나 10nm 이하 채널길이를 갖는 비대칭 이중게이트 MOSFET의 경우, 터널링 전류에 의한 차단 전류의 증가는 필연적이다. 본 연구에서는 차단전류 중에 터널링 전류의 비율을 계산함으로써 단채널에서 발생하는 터널링 전류의 영향을 관찰하고자 한다. 포아송방정식을 이용하여 구한 해석학적 전위분포와 WKB(Wentzel-Kramers-Brillouin) 근사를 이용하여 터널링 전류를 구하였다. 결과적으로 10 nm이하의 채널길이를 갖는 비대칭 이중게이트 MOSFET에서는 하단 게이트 전압에 의하여 터널링 전류가 크게 변화하는 것을 알 수 있었다. 특히 채널길이, 상하단 산화막 두께 그리고 채널두께 등에 따라 매우 큰 변화를 보이고 있었다.

ABSTRACT

This paper analyzed the deviation of tunneling current for bottom gate voltage of sub-10 nm asymmetric double gate MOSFET. The asymmetric double gate MOSFET among multi gate MOSFET developed to reduce the short channel effects has the advantage to increase the facts to be able to control the channel current, compared with symmetric double gate MOSFET. The increase of off current is, however, inescapable if asymmetric double gate MOSFET has the channel length of sub-10 nm. The influence of tunneling current was investigated in this study as the portion of tunneling current for off current was calculated. The tunneling current was obtained by the WKB(Wentzel-Kramers-Brillouin) approximation and analytical potential distribution derived from Poisson equation. As a results, the tunneling current was greatly influenced by bottom gate voltage in sub-10 nm asymmetric double gate MOSFET. Especially it showed the great deviation for channel length, top and bottom gate oxide thickness, and channel thickness.

키워드 : 비대칭 이중게이트, 터널링 전류, 포아송방정식, 하단 게이트 전압, WKB 근사

Key word : asymmetric double gate, tunneling current, Poisson equation, bottom gate voltage, WKB approximation

접수일자 : 2014. 10. 05 심사완료일자 : 2014. 11. 04 게재확정일자 : 2014. 11. 18

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2015.19.1.163>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

트랜지스터의 크기를 감소시키기 위한 노력은 반도체 산업에서 가장 큰 화두가 되고 있다. 이는 비단 수율 향상에 의한 생산성 향상 및 원가 절감의 장점뿐만이 아니라 최근 스마트폰, 태블릿 PC 및 웨어러블(wearable) 기기에서 강조되는 휴대성 향상에 큰 영향을 미치기 때문이다. 최근 삼성전자에서는 20 nm급 공정을 이용하여 6 Gbit DRAM을 양산한다고 발표하였다. 20 nm급 양산으로 반도체 메모리 분야에서 타 업체와의 기술격차를 늘리고 있으며 20 nm급 이하 소자 개발에도 앞서 나가고 있는 것이다. 기존의 CMOSFET는 20 nm이하에선 단채널 효과에 의하여 트랜지스터의 정상적 동작에 큰 영향을 미치고 있다. 20 nm급에서 나아가 10 nm급으로 트랜지스터의 크기를 감소시키기 위하여 필연적인 사항이 단채널 효과의 제거이다. 이러한 노력의 일환으로 연구되고 있는 소자가 이중게이트 MOSFET이다[1,2]. 이중게이트 MOSFET는 상단과 하단에 게이트를 제작하여 채널 내의 전자흐름을 효율적으로 제어하기 위한 구조로 제작되고 있으며 나아가 FinFET나 원통형 구조의 다중게이트 MOSFET로 발전하고 있다[3,4]. 이중게이트 MOSFET는 대칭형과 비대칭형으로 구분되며 주로 대칭형에 대한 연구가 진행되고 있으므로 본 연구에서는 비대칭형 이중게이트 MOSFET에 대하여 고찰할 것이다. 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트구조를 다르게 제작할 수 있어 전류제어 능력을 향상시킬 수 있는 요소가 증가할 수 있다. 이중게이트 구조의 목적은 트랜지스터의 소형화에 있다. 10 nm급 이하까지 소형화하기 위하여 누설전류인 차단상태에서 실제 흐르는 전류를 보다 자세히 고찰하여야 할 것이다. 즉, 이러한 전류는 결국 전자나 정공의 흐름으로 구성되며 전자나 정공의 흐름은 열적인 전자흐름에 의한 열이온 전류(thermionic current)와 터널링 전자흐름에 의한 터널링 전류(tunneling current)이다. 20 nm 이상의 채널 구조에서는 나타나지 않았던 터널링 전류가 10 nm이하에서는 전체 차단전류 중 차지하는 비율이 증가하게 된다. 비대칭 이중게이트 MOSFET는 대칭형 이중게이트 MOSFET와 달리 상단과 하단의 게이트 전압을 달리 인가할 수 있으므로 본 연구에서는 비대칭 이중게이트 MOSFET에서 터널링 전류가 하단 게이트 전압에 따라 어떻게 변화하는지를 관찰할 것이다.

파라미터로서 채널길이, 채널두께, 상하단 게이트 산화막 두께 및 상단 게이트 전압 등을 사용할 것이다. 터널링 전류를 구하기 위하여 필요한 전위분포는 Ding 등의 포아송방정식 해법과 유사한 방법을 이용할 것이다 [5]. 터널링 확률함수로는 수 나노미터까지 합당하게 사용가능한 WKB(Wentzel- Kramers-Brillouin) 근사를 이용하였다. 이와 같이 구한 터널링 전류가 전체 차단전류 중에 차지하는 비율을 관찰함으로써 10 nm이하 비대칭 이중게이트 MOSFET에서 터널링 전류의 중요성을 관찰할 것이다.

II. 비대칭 이중게이트 MOSFET의 터널링 전류모델

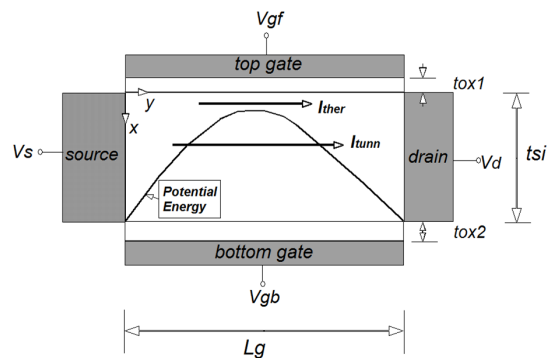


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

그림 1에 터널링 전류 및 열이온 전류를 포함한 비대칭 이중게이트 MOSFET의 개략도를 도시하였다. 비대칭 이중게이트 MOSFET의 경우 상단과 하단 게이트 산화막 두께뿐만이 아니라 상단과 하단에 인가하는 게이트 전압도 달리 할 수 있다는 장점이 있다. 본 연구에서 하단 게이트 전압에 대한 터널링 전류의 변화를 고찰하기 위하여 포아송방정식을 풀어 해석학적 전위분포를 구하였다. 이때 전하분포함수로는 가장 실험값에 근사한 가우스함수를 이용하였다. 먼저 식 (1)의 포아송방정식과 식 (2)의 도핑분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp(-(x - R_p)^2 / 2\sigma_p^2) \quad (2)$$

여기서 ϵ_{si} 는 실리콘의 유전율이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\phi(x, y=0) = V_s, \quad \phi(x, y=L_g) = V_s + V_d$$

$$\phi(x=0, y) = V_{gf} + \frac{\epsilon_s}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0}$$

$$\phi(x=t_s, y) = V_{gb} - \frac{\epsilon_s}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_s}$$

여기서 V_s 는 소스 전압, V_d 는 드레인 전압, V_{gf} 는 평탄전압을 고려한 상단 게이트 전압, V_{gb} 는 평탄전압을 고려한 하단 게이트 전압, 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[5].

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

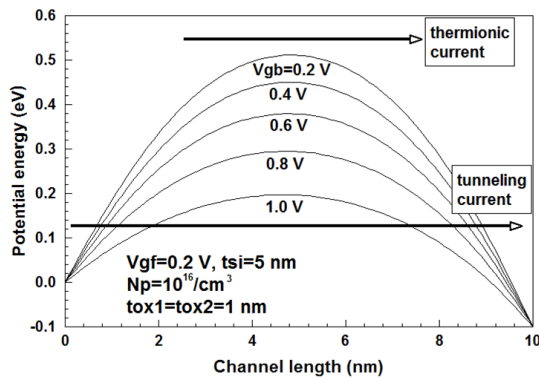


그림 2. 열이온 전류와 터널링 전류의 개략도
Fig. 2 The schematic diagram of thermionic and tunneling current

이며 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 $A_n(x)$ 에 나타나는 상수는 참고문헌[6]에 표기하였다.

채널길이가 10 nm이하에서는 소스에서 드레인까지의 에너지 밴드 폭이 매우 좁게 되므로 그림 2에서 표시한 바와 같이 열방사 전류뿐만이 아니라 터널링 전류도 무시할 수 없게 된다. 특히 하단 게이트 전압에 대하여 변화하는 포텐셜에너지 때문에 열방사 전류와 터널링 전류의 비율은 변화하게 될 것이다. 그러므로 본 연구에서는 10 nm이하의 채널길이를 갖는 비대칭 이중게이트 MOSFET에 대한 차단전류를 구하기 위하여 하단 게이트 전압에 대한 열이온 전류와 터널링 전류의 변화를 구하였다.

열이온 전류는 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si} W$ 면적의 드레인에 도착하는 전자의 수를 이용하면 열이온 전류는

$$I_{ther} = \frac{q(n^2_i/N_p)e^{q\phi_{\min}(x_{eff})/kT} v_{th} t_{si} W}{6} \quad (5)$$

$$x_{eff} = \int_0^{t_{si}} x e^{q\phi(x, y_{\min})/kT} dx / \int_0^{t_{si}} e^{q\phi(x, y_{\min})/kT} dx \quad (6)$$

여기서 k 는 볼츠만상수이며 T 는 절대온도이다. 식 (6)에서 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구하여 대입한다.

터널링 전류를 구하기 위하여 WKB 근사를 이용한다. WKB 근사는 양자역학적 근사와 비교할 때 그 차이가 무시할 수 있을 정도이므로 유용한 근사라고 입증되었다[7]. WKB 근사에 의한 터널링 확률은

$$T_{t,l} = \exp \left[-2 \int_{x_1}^{x_2} |\alpha_{t,l}(y)| dy \right] \quad (7)$$

$$\alpha_{t,l}(y) = \sqrt{\frac{2m_{t,l} [q\phi(x_{eff}, y) - E_{f,m}]}{\hbar^2}}$$

이며 기호 t 와 l 은 각각 횡방향과 종방향에 해당하는 값을 의미한다. 2/3의 터널링 전류가 횡방향으로 그리고 1/3의 전류가 종방향으로 이동하므로 식 (7)을 이용하여 터널링 전류를 구하면

$$I_{tunn} = \left(\frac{qN_{d_{si}}W}{6} \right) \left(\frac{2T_{i}v_{th_i}}{3} + \frac{T_{i}v_{th_i}}{3} \right) \quad (8)$$

이다. 여기서 v_{th_i} 와 v_{th_i} 은 각각 횡방향과 종방향의 열전자 속도이다. 식 (5)와 식 (8)을 합하면 총 차단전류를 구할 수 있다. 본 연구에서는 채널길이, 채널두께, 상단과 하단의 게이트 산화막 두께 그리고 상단 게이트 전압을 파라미터로 하여 하단 게이트 전압에 대한 총 차단전류 중 터널링 전류의 비율 변화를 관찰하고자한다.

III. 비대칭 이중게이트 MOSFET의 터널링 전류에 대한 고찰

식 (5)와 식 (8)의 타당성은 이미 발표한 논문에서 입증하였으므로[8,9] 본 연구에서는 식 (5)와 식 (8)을 이용하여 비대칭 이중게이트 MOSFET에 대한 열이온 전류 및 터널링 전류를 구하고 하단 게이트 전압에 대한 터널링 전류의 변화에 대하여 고찰 할 것이다.

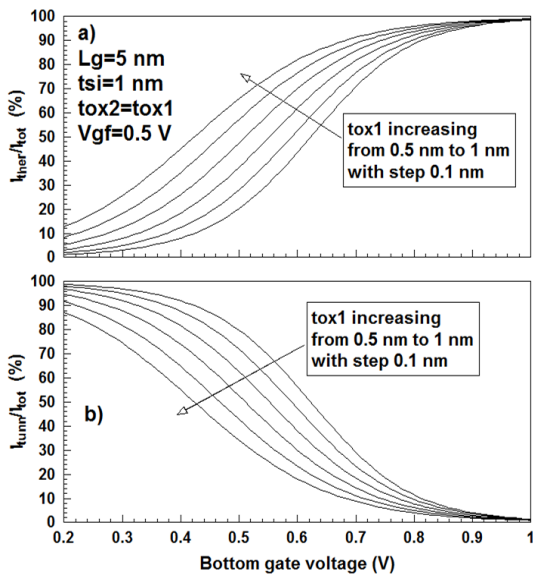


그림 3. 상·하단 게이트 산화막 두께를 파라미터로 계산한 하단 게이트 전압에 따른 a) 열이온 전류와 b) 터널링 전류의 비율
Fig. 3 Percentage of a) thermionic current and b) tunneling current calculated for bottom gate voltage with a parameter of top and bottom gate oxide thickness

먼저 상단과 하단 게이트 산화막 두께가 변화할 경우, 열이온 전류와 터널링 전류의 변화를 그림 3에 도시하였다. 상단과 하단의 게이트 산화막 두께는 동일하게 변화하였으며 채널길이는 5 nm, 채널두께는 1 nm이며 상단 게이트 전압은 0.5 V일 경우에 대하여 도시하였다. 그림 3에서 알 수 있듯이 하단 게이트 전압이 증가할수록 터널링 전류의 비율은 감소하는 것을 알 수 있다. 그러나 하단 게이트 전압이 상단 게이트 전압보다 작아지면 터널링 전류는 산화막 두께에 관계없이 차단전류에서 50%이상의 비율을 차지하고 있다는 것을 알 수 있었다. 산화막 두께에 대한 터널링 전류의 변화를 살펴보면 산화막 두께가 증가할수록 터널링 전류의 비율은 감소하는 것을 알 수 있다. 또한 하단 게이트 전압이 0.9 V 정도까지 증가하면 산화막 두께에 관계없이 터널링 전류는 약 5%미만까지 감소하는 것을 관찰할 수 있었다. 이와 같이 비대칭 이중게이트 MOSFET에서 산화막 두께는 터널링 전류에 큰 영향을 미치고 있었다.

그림 3에서는 채널길이가 5 nm일 경우에 대하여 관찰하였다. 채널길이가 증가할 경우 터널링 전류의 변화를 관찰하기 위하여 채널길이를 증가시키면서 터널링 전류의 변화를 그림 4에 도시하였다. 그림 4에서 알 수 있듯이 채널길이가 증가하면 소스에서 드레인까지 에너지 밴드구조의 폭이 증가하면서 터널링 전류가 감소하는 것을 알 수 있다. 그림 3에서 관찰하였듯이 하단 게이트 전압이 증가하면 터널링 전류의 비율이 크게 감소하며 0.9 V 이상에서 채널길이의 변화에 관계없이 약 5%미만의 터널링 전류 비율을 보이고 있었다.

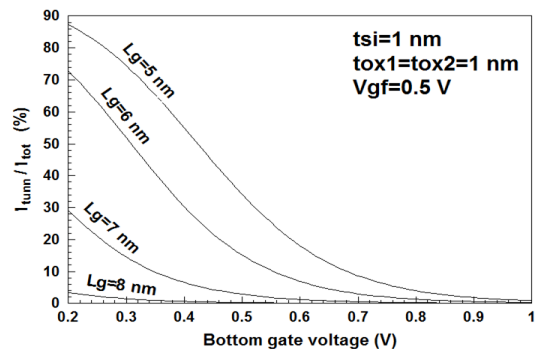


그림 4. 채널길이를 파라미터로 계산한 하단 게이트 전압에 따른 터널링 전류
Fig. 4 Percentage of tunneling current calculated for bottom gate voltage with a parameter of channel length

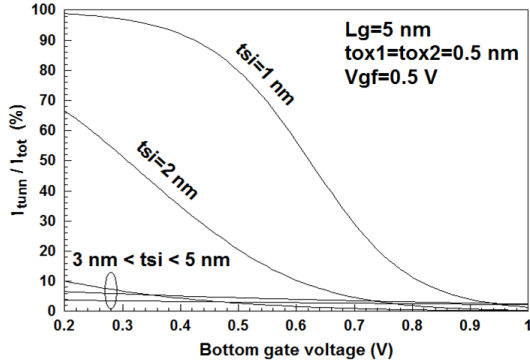


그림 5. 채널두께를 파라미터로 계산한 하단 게이트 전압에 따른 터널링 전류의 비율

Fig. 5 Percentage of tunneling current calculated for bottom gate voltage with a parameter of channel thickness

그러나 하단 게이트 전압이 감소하면 채널길이에 따른 터널링 전류의 비율이 크게 변화하며 채널길이가 8 nm까지 증가하면 0.2 V의 하단 게이트 전압에서 터널링 전류의 비율이 4% 미만까지 감소하는 것을 관찰할 수 있다. 그러므로 채널길이가 감소하면 터널링 전류가 우세하여 차단전류 중 터널링 전류가 차지하는 비율이 크게 증가하는 것을 알 수 있다.

채널길이뿐만 아니라 채널두께에 대한 터널링 전류의 비율을 관찰하기 위하여 그림 5에 채널 두께 변화에 따른 터널링 전류의 변화를 도시하였다. 이 때 채널 길이는 5 nm, 상단과 하단의 게이트 산화막 두께는 0.5 nm로 고정하였다. 채널두께가 작을 경우, 터널링 전류가 크게 증가하는 것을 알 수 있다. 또한 그림 3과 그림 4에서도 언급한 바와 같이 하단 게이트 전압이 증가하면 채널두께에 관계없이 터널링 전류의 비율은 매우 낮다는 것을 관찰할 수 있다. 채널길이가 5 nm에서 채널 두께가 $3\text{ nm} \leq t_{si} \leq 5\text{ nm}$ 정도로 변화하면 터널링 전류가 하단 게이트 전압에 관계없이 매우 낮다는 것을 알 수 있다. 즉, $t_{si}/L_g \approx 0.6$ 보다 클 경우 터널링 전류는 거의 무시할 수 있을 정도로 감소하는 것을 알 수 있다. 그러나 일반적으로 채널길이보다 채널두께를 얇게 제작하므로 10 nm 이하 비대칭 이중게이트 MOSFET의 경우 터널링 전류가 큰 비율을 차지할 것이다. 채널 두께가 $t_{si} = 4\text{ nm}$ 와 $t_{si} = 5\text{ nm}$ 에서는 하단 게이트 전압의 증가에 따라 터널링 전류의 비율은 거의 일정하다는 것을 주시하라.

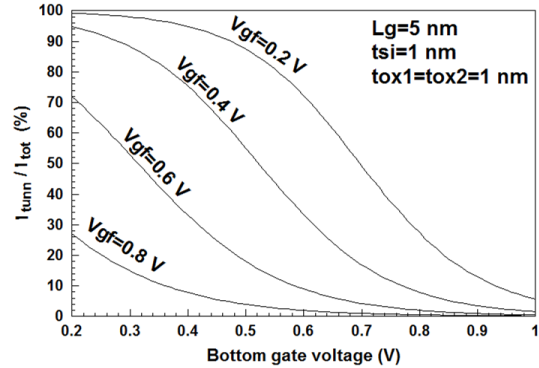


그림 6. 상단 게이트 전압을 파라미터로 계산한 하단 게이트 전압에 따른 터널링 전류의 비율

Fig. 6 Percentage of tunneling current calculated for bottom gate voltage with a parameter of top gate voltage

비대칭 이중게이트 MOSFET은 상단과 하단의 게이트 전압을 달리 인가할 수 있다. 그러므로 상단 게이트 전압을 파라미터로 하여 하단 게이트 전압의 변화에 따른 터널링 전류의 비율 변화를 그림 6에 도시하였다. 하단 게이트 전압과 마찬가지로 상단 게이트 전압이 증가할수록 터널링 전류의 비율은 감소하고 있다는 것을 관찰할 수 있다. 하단 게이트 전압이 증가하면 상단 게이트 전압의 크기에 따른 터널링 전류 비율의 변화가 급격히 감소하고 있으며 상단 게이트 전압이 0.8 V로 클 경우, 하단 게이트 전압에 따른 터널링 전류의 비율 변화폭이 크게 감소하는 것을 관찰할 수 있다. 그러므로 터널링 전류의 비율을 감소시키기 위하여 문턱전압이 하 영역에서 상단과 하단의 게이트 전압은 가능하면 큰 값을 사용하여야만 하나 이때 소비전력의 증가를 함께 고려해 주어야만 할 것이다.

IV. 결론

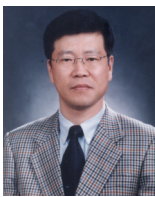
본 연구에서는 10 nm이하 채널길이를 갖는 비대칭 이중게이트 MOSFET의 하단 게이트 전압에 대한 터널링 전류(tunneling current)의 변화에 대하여 분석하였다. 비대칭 이중게이트 MOSFET은 상단과 하단의 구조를 달리 제작할 수 있으므로 상단과 하단의 게이트 인가전압 및 산화막 두께를 달리 설정할 수 있다. 그러므로 본 연구에서는 10 nm 이하 채널길이를 갖는 비대

칭 이중게이트 MOSFET의 경우, 채널길이, 채널두께, 상·하단 산화막 두께 및 상단 게이트 전압을 파라미터로 하여 하단 게이트 전압에 따른 터널링 전류의 비율 변화에 대하여 고찰하였다. 결과적으로 10 nm이하의 채널길이를 갖는 비대칭 이중게이트 MOSFET에서는 하단 게이트 전압에 의하여 터널링 전류가 크게 변화하는 것을 알 수 있었다. 특히 채널길이, 상하단 산화막 두께 그리고 채널두께 등에 따라 매우 큰 변화를 보이고 있었다. 특히 산화막 두께가 증가할수록 터널링 전류의 비율은 감소하는 것을 알 수 있다. 채널길이 및 채널두께가 증가하면 터널링 전류의 비율이 급격히 감소하고 상단 게이트 전압의 증가에 따라 터널링 전류의 비율은 크게 감소하는 것을 알 수 있었다. 이와 같은 결과는 향후 비대칭 이중게이트 MOSFET 설계의 기초 자료로 사용될 수 있을 것으로 사료된다.

REFERENCE

[1] S.Neha and M.Santanu, "A Short-Channel Commom Double-Gate MOSFET Model Adapted to Gate Oxide Thickness Asymmetry," *IEEE Trans. on Electron Devices*, vol.61, no.8, pp.2732-2737, 2014.
 [2] C.Ferney, J.David, G.R.Francisco, G.Andres and S.Jordi, "Accurate Calculation of Gate Tunneling Current in Double-Gate and Single-Gate SOI MOSFET Through Gate

Dielectric Stacks," *IEEE Trans. on Electron Devices*, vol.59, no.10, pp.2589-2596, 2012.
 [3] G.Brad and H.Soha, "Fin Shape Impact on FinFET Leakage With Application to Multithreshold and Ultralow-Leakage FinFET Design," *IEEE Trans. on Electron Devices*, vol.61, no.8, pp.2738-2744, 2014.
 [4] C.Li, Y.Zhuang, G.Jin and R.Han, "Subthreshold behavior models for short-channel Junctionless Tri-material Cylindrical Surrounding-Gate MOSFET," *Microelectronics Reliability*, vol.54, no.6, pp.1274-1281, 2014.
 [5] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
 [6] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *JKIICE*, vol.17, no.11, pp.2621-2626. 2013.
 [7] M.Stadele, "Influence of source-drain tunneling on the subthreshold behavior of sub-10 nm double gate MOSFETs," in *Proc. Eur. Solid-State Device Research Conf.(ESSDERC)*, Florence, Italy, pp.135-138, 2002.
 [8] H.K.Jung and O.S.Kwon, "Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DGMOSFET," *2014 International Conference on Future Information & Communication Engineering*, vol.6, no.1, pp.299-302, 2014.
 [9] H.K.Jung and D.Sima, "Analysis of Subthreshold Carrier Transport for Ultimate DGMOSFET," *IEEE Trans. on Electron Devices*, vol.53, no.4, pp.685-691, 2006.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
 1985.3 연세대학교 전자공학과 M.S.
 1990.8 연세대학교 전자공학과 Ph.D
 1995.8 일본 오사카대학 교환교수
 2005.8 호주 그리피스대학 교환교수
 1990.3 ~ 현재 군산대학교 전자공학과 교수
 2014.1 ~ 현재 한국정보통신학회 회장
 ※ 관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등